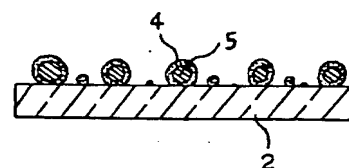


(54) MANUFACTURE OF SEMICONDUCTOR FINE PARTICLE DIFFUSION DEVICE

(11) 5-267173 (A) (43) 15.10.1993 (19) JP
 (21) Appl. No. 4-62481 (22) 18.3.1992
 (71) TOPPAN PRINTING CO LTD (72) SATORU KOBAYASHI
 (51) Int. Cl.⁵ H01L21/205

PURPOSE: To provide a manufacturing method of a semiconductor particle diffusion film in which the standard deviation of semiconductor particle size and crystal defect level and the state density of localization level, such as interface level are small and which does not allow a matrix composition to be affected by the formation of particle semiconductor in terms of a semiconductor particle diffusion film which includes semiconductor particles in an insulator matrix.

CONSTITUTION: The outermost surface of isolated amorphous silicon balls 5 is oxidized where a standard deviation of individual grain sizes formed in the early stage of an amorphous silicon deposition process based on a plasma chemical vapor deposition method is extremely small, thereby forming an oxide silicon matrix 4.

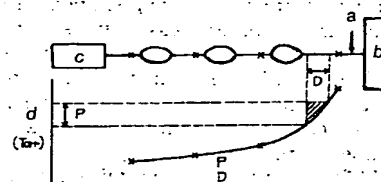


(54) REACTION PRODUCT DEPOSITION PREVENTATIVE METHOD FOR VACUUM EXHAUST AIR SYSTEM

(11) 5-267174 (A) (43) 15.10.1993 (19) JP
 (21) Appl. No. 4-64115 (22) 19.3.1992
 (71) FUJITSU LTD(1) (72) TAKUMI CHIBA
 (51) Int. Cl.⁵ H01L21/205

PURPOSE: To control a built-up and deposited location of reaction products by changing a pressure equilibrium of a vacuum exhaust air system with regards to a deposition preventative method for reaction products in the vacuum exhaust air system.

CONSTITUTION: An inactive gas, such as nitrogen is introduced into a vacuum pumping system where the pressure equilibrium in the vacuum system is changed so as to control the deposited position of reaction products in the vacuum system. Nitrogen gas is further introduced into the next stages of a multistage pump, thereby holding the vacuum degree of the vacuum system around the pump so that the reaction products may grow easily under this construction.



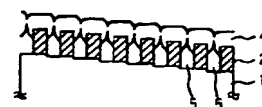
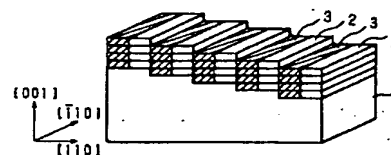
D: position where reaction products are easily built-up.
 P: pressure range where reaction products are easily built-up.
 a: introduction of nitrogen gas, b: exhaust gas processing device, c: chamber, d: pressure

(54) COMPOUND SEMICONDUCTOR SUBSTRATE

(11) 5-267175 (A) (43) 15.10.1993 (19) JP
 (21) Appl. No. 4-94812 (22) 20.3.1992
 (71) SUMITOMO METAL IND LTD (72) IKUNARI SHIBA
 (51) Int. Cl.⁵ H01L21/205

PURPOSE: To provide a compound semiconductor substrate which has reduced crystal defects, such as dislocation.

CONSTITUTION: Based on TMA, an AlAs layer 3 is caused to grow by one half the width of terrace on an Si substrate which is off by 1 to 4° in the direction of (110) from the plane (001). Then, a GaAs layer 2 is caused to grow by one half the width of terrace based on TMG. Fractional super lattices for the AlAs layers 3 and the GaAs layers 2 are formed with a required film thickness on the Si substrate by repeating this process. The AlAs layers 3 are selectively etched and eliminated. There are formed extremely fine particle GaAs layers 2 in the shape of stripes on the Si substrate. A compound semiconductor thin film, a GaAs film 4 is caused to grow on the semiconductor substrate formed in this manner. The GaAs film 4 does not grow on the Si substrate 1. The GaAs film meets with the progress of growth. Furthermore, as the film thickness of the GaAs film 4 is increased, the uneven surface of the GaAs film 4 is relaxed and flattened where clearances 5 are formed between the stripe-shaped GaAs films 2.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-267175

(43)公開日 平成 5 年(1993)10月15日

(51)Int.Cl.⁵

H 0 1 L 21/205

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平4-94812

(22)出願日 平成 4 年(1992) 3 月20日

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜 4 丁目 5 番33号

(72)発明者 柴 育成

大阪府大阪市中央区北浜 4 丁目 5 番33号

住友金属工業株式会社内

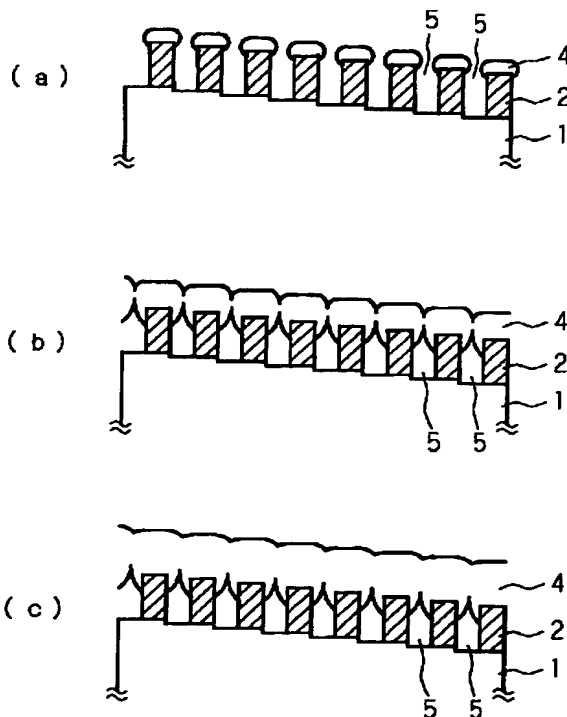
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 化合物半導体基板

(57)【要約】

【目的】 転位等の結晶欠陥を減少させた化合物半導体基板を提供する。

【構成】 (001) 面から [110] 方向に 1~4° オフしている Si 基板 1 上に、TMA により AlAs 層 3 をテラス幅の 2 分の 1 だけ成長させる。次に TMG により GaAs 層 2 をテラス幅の 2 分の 1 だけ成長させる。この工程を繰り返すことにより、Si 基板 1 上には AlAs 層 3、3…と GaAs 層 2、2…の分数超格子が、所望する膜厚で形成される。そして AlAs 層 3、3…を選択エッチングして取り除く。Si 基板 1 上に極めて微細な GaAs 層 2、2…が、ストライプ状に形成される。この形成された半導体基板上に化合物半導体薄膜、GaAs 膜 4 を成長させる。GaAs 膜 4 は Si 基板 1 上には成長せず、成長が進み GaAs 膜 4 が会合する。さらに GaAs 膜 4 の膜厚が厚くなるに従い GaAs 膜 4 表面は凹凸が緩和されて平坦になる。そしてストライプ状の GaAs 層 2、2…間には間隙 5、5…が形成されている。



【特許請求の範囲】

【請求項1】 半導体基板上に、これと構成成分が異なる化合物半導体薄膜をエピタキシャル成長させて形成する化合物半導体基板において、前記半導体基板と前記化合物半導体薄膜との間に、前記化合物半導体薄膜と構成成分が同じ化合物半導体が、間隙を有して介在されてあることを特徴とする化合物半導体基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光又は高速デバイス用に適した化合物半導体基板、特に半導体基板上にこれと構成成分が異なる半導体薄膜を、エピタキシャル成長させた化合物半導体基板に関する。

【0002】

【従来の技術】 GaAs又はInP に代表される化合物半導体は、Siでは実現できない高速デバイス又は発光デバイスの実現が可能であり、通信等の分野での需要が拡大している。ところが、化合物半導体のウエハは価格が極めて高く、しかも完全結晶の作成が困難であり、機械的強度が小さくもろいために面積の拡大が難しいという問題がある。そこで、価格が比較的安価である半導体基板、例えばSi基板又はGaAs基板上に、これらとは異なる化合物半導体薄膜をエピタキシャル成長させて、化合物半導体基板を形成する技術が研究されている。このように異種の基板上に結晶を成長させることで、化合物半導体基板の面積を拡大させ、同一基板上に複数のデバイスを作製することが可能となる。

【0003】 しかしながら、上述の半導体基板と化合物半導体薄膜との物性定数が異なるために、様々な問題が生じる。例えばSi基板上にGaAs薄膜を成長させる場合には、Si及びGaAsには約4%の格子定数差と約2.5倍の熱膨張係数差とが存在し、GaAs薄膜の結晶性は極めて悪く、転位等の欠陥が多数存在する。この転位の大多数は、成長終了後に成長温度から室温に冷却される過程において発生すると考えられている (M. Tachikawa et al. Appl. Phys. Lett. 56 (1990) 2225)。これは、成長中は無歪であっても、冷却時には熱膨張係数差により熱歪が生じ、GaAsが多く収縮して二次元引っ張り応力が印加されるためである。この応力は転位を発生させるだけでなく、厚いGaAs層に切り裂きを発生させたり、デバイス特性を劣化させる要因となっている。

【0004】 このような応力を低減するために、GaAs層を基板上に部分的に成長させる方法が考えられている (B. G. Yacobi et al. Appl. Phys. Lett. 52 (1988) 555)。GaAs層をストライプ状、又は充分小さい島状に成長させることにより、GaAs層にかかる応力を低減させることができる。この方法により、形成された基板に生じる転位は減少されるが、GaAs層を部分成長させるときにマスクとして堆積させる SiO₂膜又はSi₃N₄膜、GaAs層、及び基板の界面に多結晶化が堆積し、結晶欠陥発生の原因

となる。また、このような方法で、デバイス作製に必要なレベルの結晶性を得るためには、数 μ mの厚みのマスクを用いてGaAs層を部分成長させることが必要であり、素子間配線の集積化に支障をきたすという問題がある。

【0005】 また、熱歪による転位の発生を抑えるために、SiとGaAsとの界面に又はGaAs層内にバッファ層が形成される。例えば、格子定数が異なる2種類の薄膜を交互に積層した超格子層をバッファ層とする場合は、Si基板上にGaAs層を1~2 μ m成長させた後、InGaAs/GaAs(P)又はGaAsP/GaAs等から構成される超格子層を形成し、その上にGaAs層を形成させる。この超格子層により誘起された格子歪がSiとGaAsの界面で発生し、GaAs表面に貫通しようとする転位が超格子層とGaAs層との界面又は超格子層内で押し曲げられることによって、転位が表面に伝播されるのを抑制する。

【0006】

【発明が解決しようとする課題】 このように、超格子層を介入させることによって転位を幾らか抑制することができ、転位密度が小さい領域ではその効果を発揮することができる。しかしながら転位密度が大きい領域では全ての転位の伝播を阻止することができず、転位密度が大きい領域での転位を抑制するためには、超格子層の膜厚を厚くして格子歪を増大させる必要がある。ところが、超格子層の膜厚が臨界膜厚よりも厚くなる場合には、超格子層とその上層のGaAs層との界面に新たな転位が発生するため、超格子層の膜厚に限界があるという問題があった。

【0007】 本発明は、かかる事情に鑑みてなされたものであり、半導体基板及び成長すべき化合物半導体薄膜の格子定数差に起因する格子歪、又は薄膜成長工程の温度変化に起因する熱歪を低減させることにより、転位密度が大きい領域においても、転位等の結晶欠陥を減少せしめた化合物半導体基板を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明に係る化合物半導体基板は、半導体基板上に、これと構成成分が異なる化合物半導体薄膜をエピタキシャル成長させて形成する化合物半導体基板において、前記半導体基板と前記化合物半導体薄膜との間に、前記化合物半導体薄膜と構成成分が同じ化合物半導体を、間隙を有して介在させてあることを特徴とする。

【0009】

【作用】 本発明の化合物半導体基板では、成長すべき化合物半導体薄膜と同じ構成成分である化合物半導体を、半導体基板表面に不連続的に堆積させ、この上部に前記化合物半導体薄膜を成長させた構造となっている。これにより半導体基板と化合物半導体薄膜の間には微細な間隙が生じ、この間隙が前記半導体基板と化合物半導体薄膜間の格子歪及び熱歪を緩和し、転位発生を抑制する。

10

20

30

40

50

【0010】

【実施例】以下、本発明をその実施例を示す図面に基づき具体的に説明する。図1は本発明の化合物半導体基板の途中の形成工程を示す模式的斜視図である。図中1はSi基板であり、(001)面から[110]方向に1〜4°オフさせており、表面はステップ状を成している。このSi基板1上に、MOCVD法によりGaAs2とAlAs3との分数超格子を形成する。Si基板1の格子定数を a_0 、オフ角度を α とすると、分数超格子の夫々のステップ間の幅(テラス幅) d は次のように表される。

$$d = a_0 (\cot \alpha) / 2$$

従って、本実施例においてSi基板1は、 $a_0 = 5.43 \text{ \AA}$ 、 $\alpha = 1 \sim 4^\circ$ であり、 $d = 38.8 \sim 155.5 \text{ \AA}$ となっている。

【0011】このSi基板1の酸化膜をHF水溶液にて除去し、さらに反応炉内にて76Torr, 1000℃, H_2 雰囲気中で熱処理して表面の自然酸化膜を除去する。次に基板温度を500℃に降温しGaAs及びAlAsの分数超格子を形成する。まず、 AsH_3 によりSi基板1表面にAsを十分に被覆する。結晶成長はステップ部分から優先的に行われるため、TMA(トリメチルアルミニウム)によりAlAs層3を、ステップ上段に近い側からテラス幅の2分の1だけ成長させる。さらにTMG(トリメチルガリウム)によりGaAs層2をテラス幅の残りの2分の1だけ成長させる。この工程を繰り返すことにより図1に示すように、Si基板1上には、AlAs層3、3…とGaAs層2、2…とが、等幅で交互に成長した分数超格子が、所望する膜厚で形成される。

【0012】図2は本発明の化合物半導体基板の途中の形成工程を示す模式的斜視図である。図1に示すように形成された半導体基板を、HF水溶液にてAlAs層3、3…を選択エッチングして取り除く。このようにして図2に示すように、Si基板1上に極めて微細なGaAs層2、2…が、ストライプ状に形成される。また、エッチングにより除去された部分は間隙5、5…となっている。

【0013】以上のごとく形成された半導体基板上に化合物半導体薄膜、GaAs膜4を成長させる。図3は、本発明の化合物半導体基板の形成工程において、76Torr, 700℃, 反応炉内にてGaAs膜4を成長させる工程を示す模式的断面図である。図3(a)に示すように成長初期においては、GaAs膜4はストライプ状のGaAs層2、2…を核にして成長するため、Si基板1上には成長しない。さらに成長が進み、図3(b)に示すように、隣合ったGaAs層2上に成長したGaAs膜4が会合する。この時ストライプ状のGaAs層2間の間隙5、5…は完全には埋まらずに残存*

*している。そして成長したGaAs膜4の、この間隙5、5…に対応する上方部分は凹状を成している。さらにGaAs膜4の成長が進み、図3(c)に示すように、膜厚が厚くなるに従いGaAs膜4表面は凹凸が緩和されて平坦になる。またストライプ状のGaAs層2、2…間には間隙5、5…が形成されている。

【0014】このようにGaAs膜4を成長させた後、成長温度である700℃から室温に降温させる。このとき、Si基板1及びGaAs膜4の熱膨張係数の相違によりGaAs膜4が収縮するが、この収縮による熱歪をSi基板1及びGaAs膜4間に存在する間隙5、5…が吸収する。また、ストライプ状のGaAs層2、2…が夫々の周囲に間隙5、5…を有しているため、分子的な行動の制約を受けずに振る舞うことができ、Si基板1及びGaAs膜4の格子定数差による格子歪も緩和できる。従って本実施例の半導体基板は、転位の発生が大幅に抑制されているといえる。

【0015】なお、本実施例においては、Si基板上にGaAs薄膜を成長させているが、これに限るものではなく、GaAs等の化合物半導体上に格子定数又は熱膨張係数が異なる薄膜を成長させても良い。

【0016】また、本実施例においては、Si基板上にGaAs層をストライプ状に成長させているがこれに限るものではなく、微細な間隙が存在するように成長させれば良い。

【0017】

【発明の効果】以上のように、本発明の化合物半導体基板においては、半導体基板と化合物半導体薄膜との間に生じた間隙が、この半導体基板と化合物半導体薄膜間の格子歪、又は温度変化により生じる熱歪を緩和するため、転位密度が大きい領域においても転位等の結晶欠陥が減少される等、本発明は優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明の化合物半導体基板の途中の形成工程を示す模式的斜視図である。

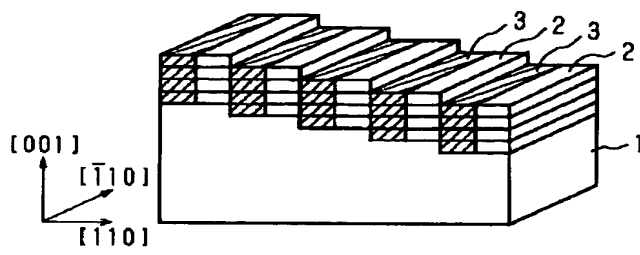
【図2】本発明の化合物半導体基板の途中の形成工程を示す模式的斜視図である。

【図3】本発明の化合物半導体基板の形成工程において、GaAs膜4を成長させる工程を示す模式的断面図である。

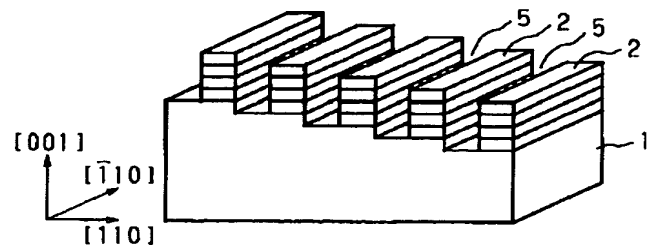
【符号の説明】

- 1 Si基板
- 2 GaAs層
- 3 AlAs層
- 4 GaAs膜
- 5 間隙

【図1】



【図2】



【図3】

